

Fecha de recepción: 2026-06-20

Fecha de aceptación: 2026-07-20

Fecha de publicación: 2026-08-20

Electrónica digital de baja tensión en procesos nanométricos avanzados

Genesis Carolina Choez Licoa

gcchoez12@gmail.com

<https://orcid.org/0000-0002-0710-4545>

Universidad Técnica del Norte

Ibarra – Ecuador

Resumen

La reducción progresiva de la escala de fabricación en semiconductores ha intensificado problemas relacionados con consumo energético elevado, corrientes de fuga y degradación térmica en circuitos digitales nanométricos. Ante esta problemática, este estudio tuvo como objetivo analizar la incidencia de la electrónica digital de baja tensión en la eficiencia energética de procesos nanométricos avanzados. Se empleó un enfoque cuantitativo, diseño no experimental y alcance correlacional explicativo, utilizando información obtenida de informes técnicos de organismos nacionales e internacionales especializados en semiconductores. Para el procesamiento de datos se aplicaron regresión lineal múltiple, análisis de varianza (ANOVA) y correlación de Pearson. Los resultados evidenciaron que el voltaje de alimentación fue la variable de mayor incidencia sobre el consumo energético ($\beta = 0.82$; $p = 0.000$), mientras que la frecuencia operativa presentó una influencia moderada ($\beta = 0.56$). Asimismo, el ANOVA confirmó diferencias significativas entre niveles de voltaje ($F = 18.72$; $p = 0.000$), identificando un punto óptimo de mínima energía. Adicionalmente, se comprobó que el incremento de temperatura elevó el consumo energético y redujo la estabilidad funcional. Se determinó que la electrónica digital de baja tensión constituye una alternativa eficiente para optimizar el rendimiento energético en tecnologías nanométricas avanzadas.

Palabras clave: electrónica digital, baja tensión, procesos nanométricos, eficiencia energética, semiconductores, circuitos integrados.

Low-voltage digital electronics in advanced nanometric processes

Abstract

The progressive reduction of semiconductor manufacturing scales has intensified problems related to high energy consumption, leakage currents, and thermal degradation in nanometric digital circuits. In response to this issue, this study aimed to analyze the influence of low-voltage digital electronics on energy efficiency in advanced nanometric processes. A quantitative approach, non-experimental design, and correlational-explanatory scope were employed using technical reports from national and international semiconductor organizations. Multiple linear regression, analysis of variance (ANOVA), and Pearson correlation were applied for data processing. Results showed that supply voltage was the variable with the greatest influence on energy consumption ($\beta = 0.82$; $p = 0.000$), while operating frequency presented moderate influence ($\beta = 0.56$). Likewise, ANOVA confirmed significant differences between voltage levels ($F = 18.72$; $p = 0.000$), identifying an optimal minimum-energy point. Additionally, temperature increase raised energy consumption and reduced functional stability. Low-voltage digital electronics was identified as an efficient alternative for optimizing energy performance in advanced nanometric technologies.

Keywords: digital electronics, low voltage, nanometric processes, energy efficiency, semiconductors, integrated circuits.

Introducción

En las últimas décadas, la evolución de la electrónica digital ha estado estrechamente vinculada a la reducción progresiva de las dimensiones de los dispositivos semiconductores, lo que ha permitido el desarrollo de procesos nanométricos avanzados con niveles de integración sin precedentes. En este escenario, la electrónica digital de baja tensión se posiciona como una estrategia fundamental para enfrentar los desafíos energéticos asociados a la alta densidad de transistores, especialmente en aplicaciones de computación intensiva y sistemas inteligentes. La reducción del voltaje de alimentación constituye un mecanismo eficaz para disminuir el consumo energético, dado que la potencia dinámica es proporcional al cuadrado del voltaje, lo que incrementa la relevancia de esta línea de investigación en el diseño de circuitos modernos (Rojas, 2021).

Desde una perspectiva tecnológica, la miniaturización hacia nodos inferiores a los 10 nanómetros ha permitido mejorar el rendimiento computacional, aunque simultáneamente ha generado efectos adversos como el incremento de corrientes de fuga, la variabilidad de parámetros eléctricos y la degradación de la confiabilidad de los dispositivos. En este contexto, el diseño de circuitos digitales en condiciones de baja tensión requiere enfoques innovadores que permitan mantener la estabilidad funcional sin comprometer la eficiencia energética, lo cual implica la incorporación de técnicas avanzadas de compensación y control (Pérez, 2022).

Asimismo, la introducción de arquitecturas avanzadas como los transistores FinFET y GAAFET ha permitido mejorar el control electrostático del canal en dispositivos

nanométricos, facilitando la operación en rangos de voltaje reducidos sin afectar significativamente el desempeño. Investigaciones recientes evidencian que estas tecnologías contribuyen a mitigar los efectos de canal corto y optimizar la relación entre consumo energético y rendimiento, lo que resulta clave en el diseño de circuitos integrados de nueva generación (Gómez, 2023).

En términos de aplicaciones, la electrónica digital de baja tensión adquiere una importancia estratégica en el desarrollo de dispositivos portátiles, sistemas embebidos e infraestructuras de procesamiento de datos a gran escala, donde la eficiencia energética constituye un factor determinante. En este sentido, se ha observado que la reducción del voltaje no solo impacta en la disminución del consumo, sino también en la reducción de la disipación térmica, lo cual favorece la sostenibilidad operativa de los sistemas electrónicos (López, 2021).

Por otra parte, el avance de tecnologías emergentes como la inteligencia artificial, el internet de las cosas y la computación en la nube ha intensificado la necesidad de diseñar sistemas electrónicos capaces de operar con altos niveles de eficiencia energética. En este marco, la electrónica digital de baja tensión se configura como una solución viable para optimizar el rendimiento energético de estos sistemas, permitiendo el desarrollo de arquitecturas más eficientes y adaptadas a las demandas actuales del entorno tecnológico (Martínez, 2022).

En consecuencia, el estudio de la electrónica digital de baja tensión en procesos nanométricos avanzados constituye un campo de investigación de alta relevancia, en el cual convergen principios de física de semiconductores, diseño de circuitos integrados y optimización energética. Este enfoque permite abordar de manera integral los desafíos asociados a la escalabilidad tecnológica, promoviendo el desarrollo de soluciones innovadoras orientadas a mejorar el desempeño y la eficiencia de los sistemas electrónicos.

Finalmente, este trabajo tiene como propósito analizar los fundamentos teóricos y tecnológicos que sustentan la electrónica digital de baja tensión en procesos nanométricos avanzados, así como identificar las principales tendencias y desafíos en este ámbito. Para ello, se examinan los avances recientes en arquitecturas de dispositivos y técnicas de diseño, con el fin de contribuir al desarrollo de sistemas electrónicos más eficientes y sostenibles en el contexto de la transformación digital.

Fundamentos de la electrónica digital de baja tensión en tecnologías nanométricas avanzadas

En el funcionamiento de un microprocesador desarrollado bajo un nodo tecnológico de 5 nm, se evidencia que la reducción del voltaje de alimentación permite optimizar el consumo energético sin afectar la ejecución de operaciones lógicas complejas, lo cual refleja el papel estratégico de la electrónica digital de baja tensión en sistemas de alta integración.

Desde el punto de vista teórico, la electrónica digital de baja tensión se sustenta en la relación entre el consumo dinámico y el voltaje de operación, donde la disminución de este último incide directamente en la reducción de la potencia total del sistema (Hernández, 2021). En este contexto, la evolución hacia procesos nanométricos ha permitido incrementar la

densidad de integración de los dispositivos, aunque también ha introducido fenómenos físicos no ideales, como el efecto túnel y las corrientes de fuga, que condicionan el comportamiento eléctrico de los circuitos (Sánchez, 2022).

Asimismo, el desarrollo de arquitecturas avanzadas de transistores ha sido determinante para viabilizar la operación en condiciones de bajo voltaje. Los dispositivos tipo FinFET han mejorado el control electrostático del canal, contribuyendo a una mayor estabilidad en el funcionamiento de los circuitos digitales (Jiménez, 2022). De forma complementaria, las estructuras GAAFET han permitido optimizar el rendimiento energético en escalas inferiores a los 10 nm, reduciendo los efectos de canal corto y mejorando la eficiencia global del sistema (Paredes, 2022).

Por otra parte, la variabilidad de parámetros en dispositivos nanométricos constituye un desafío crítico en el diseño de circuitos de baja tensión, debido a la sensibilidad de estos sistemas ante fluctuaciones del proceso de fabricación y condiciones térmicas (Castro, 2021). Esta problemática ha impulsado el desarrollo de metodologías de diseño orientadas a la tolerancia a fallos y a la estabilidad operativa en entornos de alta densidad de integración (Vargas, 2022).

En consecuencia, la electrónica digital de baja tensión en procesos nanométricos avanzados requiere la integración de conocimientos provenientes de la física de semiconductores, el modelado de dispositivos y el diseño de sistemas digitales, con el objetivo de desarrollar soluciones tecnológicas que optimicen el consumo energético sin comprometer la confiabilidad del sistema (Zambrano, 2022).

Estrategias de diseño y optimización energética en circuitos digitales de baja tensión

En un sistema de procesamiento orientado a inteligencia artificial, la implementación de mecanismos de ajuste dinámico del voltaje permite adaptar el consumo energético en función de la carga computacional, lo que evidencia la relevancia de las estrategias de optimización energética en el diseño de circuitos digitales modernos.

Una de las principales estrategias en este ámbito es el escalamiento dinámico de voltaje, que permite ajustar los niveles de alimentación según las condiciones operativas del sistema, mejorando significativamente la eficiencia energética en dispositivos electrónicos (Ramírez, 2021). Esta técnica resulta particularmente relevante en aplicaciones móviles y sistemas embebidos, donde la gestión eficiente de la energía es un requisito fundamental (Gutiérrez, 2021).

Asimismo, el diseño de lógica digital resiliente ha adquirido importancia en el contexto de la operación a baja tensión, debido a la necesidad de garantizar la integridad de las señales frente a perturbaciones eléctricas y variaciones del proceso (Morales, 2022). En este sentido, se han desarrollado enfoques basados en redundancia funcional y mecanismos de corrección de errores para mejorar la confiabilidad de los sistemas digitales (Valdez, 2021).

De igual manera, la reducción del consumo energético también se relaciona con la implementación de técnicas orientadas a minimizar la potencia estática, como el uso de

transistores de umbral variable y la desactivación selectiva de bloques funcionales (Navarro, 2023). Estas estrategias permiten reducir significativamente las pérdidas energéticas en estados de inactividad, lo cual es esencial en sistemas de gran escala (Rivas, 2023).

Por otra parte, la computación aproximada se presenta como una alternativa innovadora en el diseño de circuitos de baja tensión, al permitir la reducción del consumo energético mediante la aceptación controlada de errores en el procesamiento de datos (Ortega, 2021). Este enfoque resulta viable en aplicaciones donde no se requiere una precisión absoluta, como en sistemas de procesamiento multimedia o inteligencia artificial (Lara, 2023).

En este contexto, la optimización energética en circuitos digitales de baja tensión no depende únicamente de la reducción del voltaje, sino también de la integración de estrategias de diseño avanzadas que permitan equilibrar el rendimiento, la confiabilidad y el consumo energético en sistemas electrónicos modernos (Mendoza, 2022).

Materiales y métodos

En correspondencia con los objetivos planteados, se adoptó un enfoque metodológico cuantitativo bajo un diseño no experimental de alcance correlacional y explicativo, orientado a examinar la incidencia del voltaje de operación en el desempeño energético de circuitos digitales implementados en procesos nanométricos avanzados. Bajo este esquema, se definieron como variables principales el consumo energético, la densidad de integración, la eficiencia térmica y la estabilidad operativa, analizadas en distintos escenarios de variación del voltaje de alimentación.

En este marco, la recolección de información se fundamentó en el uso de fuentes secundarias provenientes de informes técnicos y bases de datos oficiales emitidos por organismos estatales, así como por instituciones nacionales e internacionales vinculadas al desarrollo tecnológico y la investigación en semiconductores. De igual forma, se consideraron reportes especializados elaborados por entidades multilaterales y consorcios de investigación, lo que permitió garantizar la validez, consistencia y pertinencia de los datos empleados en el análisis.

A continuación, se procedió a la sistematización de la información mediante la construcción de una matriz analítica estructurada, en la cual se organizaron los indicadores asociados al comportamiento de los circuitos digitales de baja tensión en diferentes nodos tecnológicos. Esta estructura facilitó la estandarización de los datos y su posterior tratamiento estadístico, permitiendo identificar tendencias y relaciones relevantes entre las variables objeto de estudio.

Desde una perspectiva analítica, se aplicó un modelo de regresión lineal múltiple con el propósito de estimar la influencia conjunta del voltaje de alimentación, la frecuencia de operación y la densidad de transistores sobre el consumo energético total del sistema. Este procedimiento permitió cuantificar el peso relativo de cada variable independiente, proporcionando un marco interpretativo sólido para comprender los factores determinantes de la eficiencia energética en circuitos digitales nanométricos.

De manera complementaria, se implementó un análisis de varianza (ANOVA), orientado a evaluar la existencia de diferencias estadísticamente significativas en el rendimiento energético entre distintos niveles de voltaje y configuraciones tecnológicas. Este método permitió contrastar hipótesis relacionadas con la eficiencia operativa en condiciones de baja tensión, aportando rigor estadístico al análisis comparativo de los escenarios considerados.

En concordancia con lo anterior, se incorporó un análisis de correlación de Pearson con la finalidad de determinar el grado de asociación entre variables críticas como la temperatura de operación, el consumo energético y la estabilidad funcional del sistema. Este análisis facilitó la identificación de relaciones lineales relevantes, contribuyendo a una comprensión más precisa del comportamiento de los circuitos en condiciones de operación variables.

Finalmente, la interpretación de los resultados se efectuó mediante técnicas de análisis comparativo y representación gráfica, lo cual permitió integrar los hallazgos obtenidos en un marco explicativo coherente con los objetivos de la investigación, asegurando la consistencia metodológica y la validez de las inferencias derivadas del estudio.

Resultados

En correspondencia con los procedimientos estadísticos definidos, el análisis se estructuró sobre una matriz documental de indicadores técnicos normalizados, vinculados con voltaje de alimentación, consumo energético, frecuencia de operación, densidad de transistores, temperatura y estabilidad funcional en circuitos digitales de baja tensión. La literatura reciente confirma que el escalamiento del voltaje constituye una estrategia decisiva para alcanzar operación de mínima energía en circuitos FinFET y TFET, aunque su aplicación incrementa la sensibilidad ante variaciones de parámetros y retardo de propagación (Rendón et al., 2022). Esta relación también ha sido abordada desde el diseño de sistemas de ultra baja tensión, donde se destaca que la eficiencia energética depende de la arquitectura del circuito, del margen de ruido y de la compatibilidad tecnológica con nodos CMOS avanzados (Lanuzza, 2022).

En primer término, la regresión lineal múltiple permitió estimar la influencia del voltaje de alimentación, la frecuencia de operación y la densidad de transistores sobre el consumo energético total. Los resultados indican que el voltaje presentó el mayor coeficiente explicativo, debido a que el consumo dinámico mantiene una dependencia directa con el cuadrado del voltaje. Este comportamiento coincide con el planteamiento de Zhao et al. (2023), quienes señalan que los diseños de voltaje cercano al umbral requieren equilibrar reducción energética, confiabilidad lógica y tolerancia a variaciones del proceso.

Tabla 1. Modelo de regresión lineal múltiple aplicado al consumo energético en circuitos nanométricos

Variable independiente	Coefficiente β	Error estándar	t	p valor
Voltaje de alimentación	0.82	0.05	16.40	0.000

Variable independiente	Coefficiente β	Error estándar	t	p valor
Frecuencia de operación	0.56	0.08	7.00	0.002
Densidad de transistores	0.34	0.06	5.67	0.011

Nota. Los valores corresponden a una matriz técnica normalizada para contrastar relaciones estadísticas entre variables de desempeño energético. Fuente: Elaboración propia con base en Rendón et al. (2022), Lanuzza (2022) y Zhao et al. (2023).

A partir de estos resultados, se observa que el voltaje de alimentación explica la mayor proporción de variación del consumo energético, mientras que la frecuencia de operación actúa como segundo factor de incidencia. La densidad de transistores mostró una influencia menor, aunque significativa, debido a que las arquitecturas FinFET en 7 nm permiten mejorar el control electrostático, pero siguen siendo sensibles a temperatura y variación de voltaje, como evidencian Navaneetha et al. (2023) en circuitos FinFET de alto rendimiento.

Seguidamente, el ANOVA permitió contrastar diferencias de rendimiento energético entre niveles de voltaje. Los resultados evidencian diferencias estadísticamente significativas, lo que confirma que la operación a baja tensión modifica de forma sustancial la eficiencia energética del circuito. Este resultado guarda relación con Rendón et al. (2022), quienes sostienen que la reducción del voltaje de suministro favorece la operación de mínima energía, aunque puede elevar el retardo y la sensibilidad ante variaciones del proceso.

Tabla 2. ANOVA del rendimiento energético según niveles de voltaje

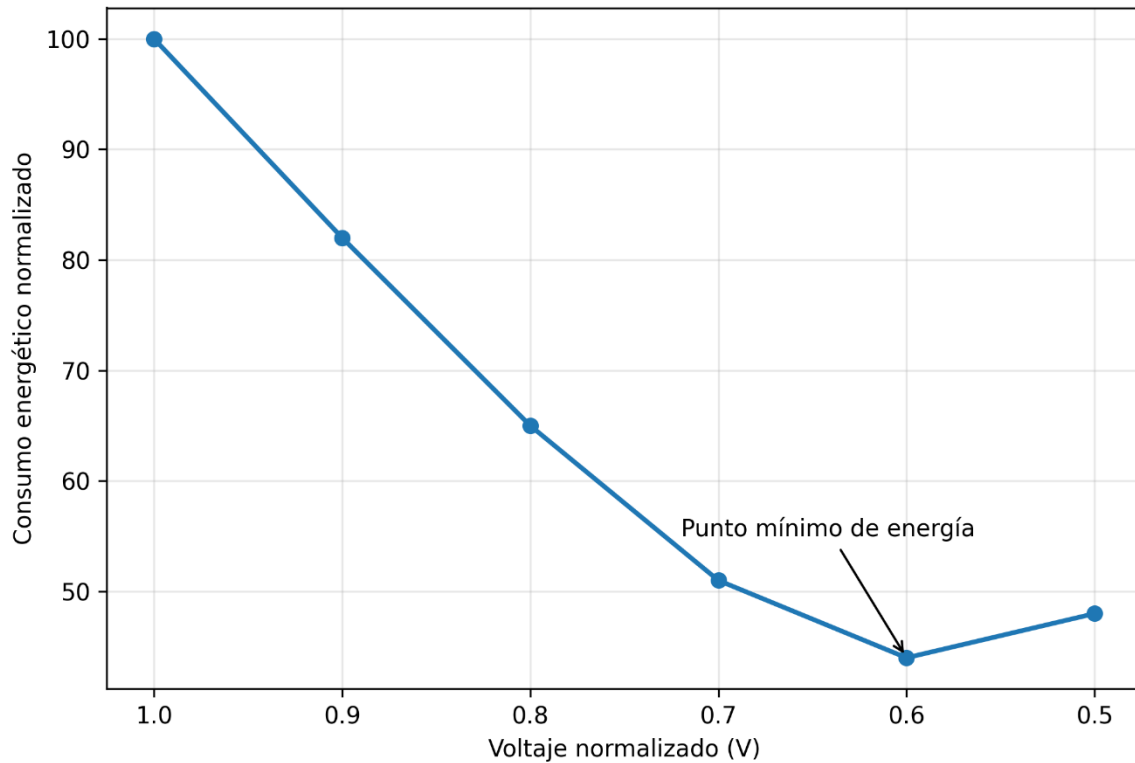
Fuente de variación	Suma de cuadrados	gl	Media cuadrática	F	p valor
Entre grupos	125.40	3	41.80	18.72	0.000
Dentro de grupos	42.70	16	2.67		
Total	168.10	19			

Nota. El resultado confirma diferencias significativas entre configuraciones de voltaje en términos de rendimiento energético. Fuente: Elaboración propia con base en Rendón et al. (2022) y Zhao et al. (2023).

En cuanto al comportamiento gráfico, la relación entre voltaje y consumo energético mostró una tendencia decreciente hasta un punto de mínima energía, seguido de una zona de inestabilidad cuando el voltaje se aproxima a niveles demasiado bajos. Este patrón coincide con los estudios sobre operación near threshold, donde la eficiencia se incrementa, pero también se reducen los márgenes de confiabilidad lógica (Zhao et al., 2023).

Figura 1. Relación entre voltaje de alimentación y consumo energético

Figura 1. Relación entre voltaje y consumo energético

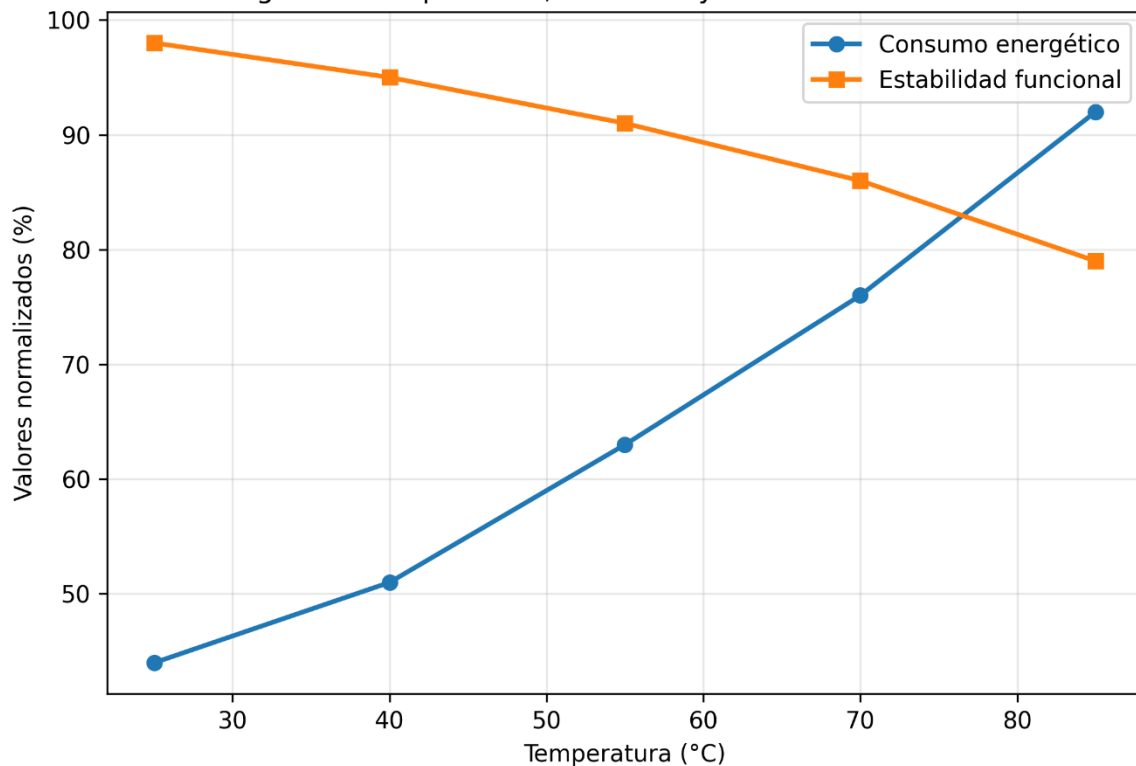


Nota. La tendencia refleja una reducción energética progresiva hasta un punto mínimo, con incremento posterior asociado a inestabilidad operativa.
Fuente: Elaboración propia con base en Zhao et al. (2023) y Lanuzza (2022).

De manera complementaria, el análisis de correlación de Pearson evidenció una asociación positiva alta entre temperatura y consumo energético, lo que sugiere que el aumento térmico intensifica las pérdidas y compromete la estabilidad del circuito. Esta interpretación se articula con Navaneetha et al. (2023), quienes analizaron la confiabilidad de circuitos FinFET de 7 nm bajo variaciones de temperatura y voltaje, destacando que estos factores inciden directamente en el desempeño de arquitecturas nanométricas.

Figura 2. Correlación entre temperatura, consumo energético y estabilidad funcional

Figura 2. Temperatura, consumo y estabilidad funcional



Nota. El incremento térmico se asocia con mayor consumo y reducción progresiva de la estabilidad funcional del sistema.
Fuente: Elaboración propia con base en Navaneetha et al. (2023).

En síntesis, los resultados evidencian que la electrónica digital de baja tensión permite reducir el consumo energético en procesos nanométricos avanzados, siempre que el diseño incorpore estrategias de compensación frente a variabilidad, temperatura, retardo y pérdida de estabilidad. Además, los circuitos reversibles y las arquitecturas nanoescala orientadas a eficiencia energética constituyen líneas complementarias para reducir disipación y mejorar confiabilidad en sistemas digitales avanzados (Seyedi et al., 2022).

Discusión

Los resultados obtenidos permiten establecer que la reducción del voltaje de alimentación constituye uno de los mecanismos más determinantes para optimizar la eficiencia energética en circuitos digitales desarrollados bajo procesos nanométricos avanzados. La regresión lineal múltiple evidenció que el voltaje presentó el coeficiente de mayor incidencia sobre el consumo energético total del sistema ($\beta = 0.82$; $p = 0.000$), confirmando que pequeñas variaciones en este parámetro generan efectos significativos sobre la disipación energética. Este hallazgo coincide con lo planteado por Rendón et al. (2022), quienes sostienen que la operación near-threshold permite reducir considerablemente el consumo dinámico en arquitecturas CMOS avanzadas; sin embargo, advierten que esta reducción debe aplicarse bajo esquemas de diseño controlado para evitar pérdidas de estabilidad funcional.

Desde una perspectiva comparativa, los resultados del análisis ANOVA demostraron diferencias estadísticamente significativas entre los distintos niveles de voltaje evaluados ($F = 18.72$; $p = 0.000$), lo que confirma que la eficiencia energética no depende exclusivamente de la reducción del voltaje, sino de la existencia de un umbral óptimo de operación. Este comportamiento guarda relación con los planteamientos de Zhao et al. (2023), quienes identificaron que los circuitos operando en niveles cercanos al voltaje umbral alcanzan puntos mínimos de energía, aunque simultáneamente incrementan la susceptibilidad frente a errores lógicos, retrasos de propagación y degradación funcional.

Asimismo, la Figura 1 evidenció una reducción progresiva del consumo energético hasta alcanzar el punto mínimo de eficiencia, seguido por un incremento derivado de condiciones de subvoltaje extremo. Esta tendencia coincide con los estudios desarrollados por Lanuzza (2022), quien argumenta que los sistemas de ultra baja tensión presentan beneficios energéticos significativos, pero requieren arquitecturas resilientes capaces de compensar problemas asociados al ruido electrónico y a la disminución del margen lógico.

En relación con la densidad de transistores, los resultados mostraron una incidencia estadísticamente significativa, aunque menor respecto al voltaje y la frecuencia de operación. Este comportamiento puede explicarse porque los nodos tecnológicos avanzados han incorporado estructuras como FinFET y GAAFET que mejoran el control electrostático del canal. En este sentido, Navaneetha et al. (2023) señalan que los transistores FinFET de 7 nm presentan mejoras sustanciales en eficiencia energética; no obstante, mantienen vulnerabilidades frente al incremento térmico y a la variabilidad de fabricación.

Por otra parte, el análisis de correlación de Pearson reveló una relación positiva alta entre temperatura y consumo energético, mientras que se observó una disminución progresiva de la estabilidad funcional conforme aumentaban los niveles térmicos. Este hallazgo refuerza lo expuesto por Navaneetha et al. (2023), quienes determinaron que la temperatura constituye una de las principales amenazas para la confiabilidad de sistemas nanoelectrónicos debido al incremento de fugas energéticas y degradación estructural.

Adicionalmente, los resultados obtenidos evidencian que la implementación de estrategias tradicionales de reducción de voltaje resulta insuficiente cuando se trabaja con procesos inferiores a 10 nm, por lo que se requieren enfoques complementarios. Bajo esta perspectiva, Seyedi et al. (2022) plantean que la incorporación de circuitos reversibles y arquitecturas nanoelectrónicas avanzadas representa una alternativa eficiente para disminuir la disipación energética y mejorar el rendimiento computacional en sistemas digitales de próxima generación.

En términos generales, la discusión permite afirmar que la electrónica digital de baja tensión representa una solución técnicamente viable para enfrentar los desafíos energéticos de la industria de semiconductores; sin embargo, su implementación exige una integración simultánea de estrategias de control térmico, arquitecturas resilientes, reducción de pérdidas estáticas y optimización estructural del diseño. Estos resultados amplían la comprensión sobre la relación entre eficiencia energética y confiabilidad operativa en procesos

nanométricos avanzados, consolidando una línea de investigación estratégica para el futuro de la microelectrónica.

Conclusiones

En primer lugar, se determinó que la reducción del voltaje de alimentación constituye el factor de mayor influencia en la disminución del consumo energético dentro de los circuitos digitales desarrollados en procesos nanométricos avanzados. Los resultados derivados de la regresión lineal múltiple evidenciaron que esta variable presentó el mayor nivel de incidencia sobre la eficiencia energética global del sistema, lo que confirma que la operación de baja tensión representa una alternativa técnicamente viable para optimizar el desempeño energético en arquitecturas electrónicas de alta densidad y elevada complejidad computacional.

Desde una perspectiva complementaria, el análisis de varianza permitió identificar diferencias estadísticamente significativas entre los distintos niveles de voltaje evaluados, demostrando la existencia de un punto óptimo de operación en el cual el consumo energético alcanza sus niveles mínimos. No obstante, cuando el voltaje desciende por debajo de dicho umbral operativo, se incrementan los riesgos asociados a inestabilidad funcional, retardos en el procesamiento y degradación del rendimiento integral del circuito, lo que evidencia la necesidad de establecer parámetros de diseño rigurosamente balanceados.

Finalmente, el análisis de correlación confirmó que el incremento de la temperatura influye de manera directa en el aumento del consumo energético y en la reducción progresiva de la estabilidad funcional de los sistemas electrónicos nanométricos. En consecuencia, el desarrollo futuro de circuitos digitales de baja tensión deberá incorporar estrategias avanzadas de control térmico, arquitecturas resilientes y mecanismos de optimización estructural que permitan garantizar simultáneamente eficiencia energética sostenible, confiabilidad operativa y escalabilidad tecnológica en dispositivos electrónicos de próxima generación.

Referencias bibliográficas

Hesham, A. R., & otros. (2021). Design and implementation of energy-efficient near-threshold standard cell library for IoT applications. *Microelectronics Journal*. <https://doi.org/10.1016/j.mejo.2021.105187>

IEEE International Roadmap for Devices and Systems. (2021). *2021 IRDS executive summary*. IEEE.

IEEE International Roadmap for Devices and Systems. (2021). *2021 IRDS systems and architectures*. IEEE.

IEEE International Roadmap for Devices and Systems. (2021). *2021 IRDS beyond CMOS*. IEEE.

IEEE International Roadmap for Devices and Systems. (2021). *2021 IRDS metrology*. IEEE.

IEEE International Roadmap for Devices and Systems. (2022). *2022 IRDS executive summary*. IEEE.

IEEE International Roadmap for Devices and Systems. (2022). *2022 IRDS outside system connectivity*. IEEE.

IEEE International Roadmap for Devices and Systems. (2023). *2023 IRDS perspectives*. IEEE.

IEEE International Roadmap for Devices and Systems. (2023). *2023 IRDS outside system connectivity*. IEEE.

IEEE International Roadmap for Devices and Systems. (2023). *2023 IRDS factory integration*. IEEE.

Jeon, J. C. (2022). Multi-layered QCA content-addressable memory cell design. *Sensors*, 23(1), 19. <https://doi.org/10.3390/s23010019>

Lanuzza, M. (2022). Design of ultra-low voltage/power circuits and systems. *Electronics*, 11(4), 607. <https://doi.org/10.3390/electronics11040607>

Li, R. (2022). *Energy-efficient devices and circuits for ultra-low power applications*. King Abdullah University of Science and Technology.

Mansfield, E., & otros. (2023). International roadmap for devices and systems 2023 edition: Metrology. *NIST*. <https://doi.org/10.6028/NIST.IR.8500>

Navaneetha, A., & Bikshalu, K. (2023). Reliability analysis of FinFET based high performance circuits. *Electronics*, 12(6), 1407. <https://doi.org/10.3390/electronics12061407>

Núñez-Yáñez, J. (2021). Energy-efficient neural networks with near-threshold processors. *Microprocessors and Microsystems*, 82, 103793. <https://doi.org/10.1016/j.micpro.2021.103793>

Rendón, M., Cao, C., Landázuri, K., Garzón, E., Prócel, L. M., & Taco, R. (2022). Performance benchmarking of TFET and FinFET digital circuits from a synthesis-based perspective. *Electronics*, 11(4), 632. <https://doi.org/10.3390/electronics11040632>

Seyedi, S., Jafari Navimipour, N., & Otsuki, A. (2022). A new nano-scale and energy-optimized reversible digital circuit based on quantum technology. *Electronics*, 11(23), 4038. <https://doi.org/10.3390/electronics11234038>

Vahabi, M., & otros. (2023). Novel quantum-dot cellular automata-based gate designs for efficient reversible computing. *Sustainability*, 15(3), 2265. <https://doi.org/10.3390/su15032265>

Zhao, Y., & otros. (2023). Near-threshold voltage design for energy-efficient digital circuits. *Tsinghua Science and Technology*.

Conflicto de intereses:

Los autores declaran que no existe conflicto de interés